

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Jin-Ho PARK, et al.

Application No. **To Be Accorded**

Filed: **June 22, 2001**

For: **SHIFT REGISTER AND DRIVING CIRCUIT
OF LCD USING THE SAME**

Art Unit: TBD

Examiner: TBD

Atty. Docket: **06192.0202.NPUS00**

JC868 U.S. PTO
09/886029



CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119 IN UTILITY APPLICATION

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document, filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Application No.	Filing Date
Republic of Korea	2000-40942	July 18, 2000

A certified copy of each listed priority documents is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,

Derob J. Jaudin (44,483)

for Michael J. Bell
Registration No. 39,604

Date: June 22, 2001

HOWREY SIMON ARNOLD & WHITE, LLP
Box No. 34
1299 Pennsylvania Avenue, NW
Washington, DC 20004-2402
(202) 783-0800



5066 U.S. PRO
09/886029



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

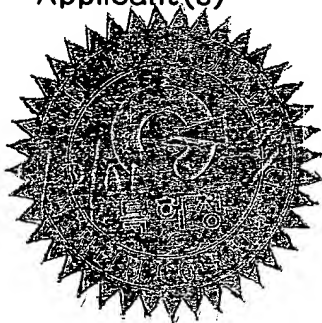
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 40942 호
Application Number

출원년월일 : 2000년 07월 18일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

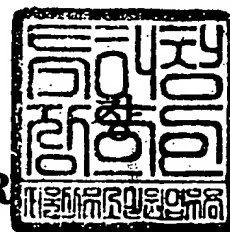
**CERTIFIED COPY OF
PRIORITY DOCUMENT**



2000 년 12 월 11 일

특 허 청

COMMISSIONER



【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2000.07.18
【발명의 명칭】 시프트 레지스트 및 그를 채용한 액정표시장치의 구동 회로
【발명의 영문명칭】 shift-resister and drive circuit of an LCD using the same
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 임평섭
【대리인코드】 9-1998-000438-0
【포괄위임등록번호】 1999-007182-1
【발명자】
【성명의 국문표기】 박진호
【성명의 영문표기】 PARK, Jin Ho
【주민등록번호】 641010-1162328
【우편번호】 441-390
【주소】 경기도 수원시 권선구 권선동 1267, 벽산한성아파트 812동 306호
【국적】 KR
【발명자】
【성명의 국문표기】 박동원
【성명의 영문표기】 PARK, Dong Won
【주민등록번호】 690316-1100413
【우편번호】 463-480
【주소】 경기도 성남시 분당구 금곡동 133, 청솔주공아파트 905동 1104호
【국적】 KR
【발명자】
【성명의 국문표기】 권오중
【성명의 영문표기】 KWON, Oh Jong

【주민등록번호】 701019-1396722
【우편번호】 442-060
【주소】 경기도 수원시 팔달구 지동 367-2호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
 리인 임평
 성 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 8 면 8,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 37,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

메모리 소자 별 시프트 동작의 지연 방식 또는 데이터 저장 상태의 변환 예측을 통한 데이터 변환 제어 방식으로 시프트 레지스트를 구성하여 순간적으로 전력 변화되는 양을 줄이는 시프트 레지스트를 구성하고, 이를 컨트롤러, 스캔 드라이브 집적회로들 또는 컬럼 드라이브 집적회로들에 선택적으로 채용하여 순간적인 전력 변화를 줄이면서 전자파 발생을 억제시키는 액정표시장치의 구동 회로를 구성한다.

따라서, 시프트 레지스트가 메모리 소자 별로 순차적으로 지연되어 동작되거나 또는 데이터 변환이 최소화되어 동작될 수 있어서 전력의 순간적인 과다 공급이 방지되고, 상술한 시프트 레지스트를 액정표시장치의 부품에 채용하면 전자파 장애 현상이 방지될 수 있는 효과가 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

시프트 레지스트 및 그를 채용한 액정표시장치의 구동 회로{shift-resister and drive circuit of an LCD using the same}

【도면의 간단한 설명】

도 1은 본 발명에 따른 액정표시장치의 구동 회로의 바람직한 실시예를 나타내는 블록도

도 2는 본 발명에 따른 제 1 실시예로써 시프트 레지스트를 나타내는 블록도

도 3은 도 2의 동작을 위한 타이밍 차트

도 4는 본 발명에 따른 제 2 실시예로써 시프트 레지스트를 나타내는 블록도

도 5는 도 4의 천이 비교부의 상세 회로도

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 시프트 레지스트 및 그를 채용한 액정표시장치의 구동 회로에 관한 것으로서, 보다 상세하게는 메모리 소자 별 시프트 동작의 지연 방식 또는 데이터 저장 상태의 변환 예측을 통한 데이터 변환 제어 방식으로 시프트 레지스트를 구성하여 순간적으로 전력 변화되는 양을 줄이는 시프트 레지스트와, 이를 채용하여 순간적인 전력 변화를 줄이면서 전자파 발생을 억제시키는 액정표시장치의 구동 회로에 관한 것이다.

<7> 통상, 시프트 레지스트는 플립플롭이나 래치 등과 같은 메모리 소자를 일렬로 구성

하여 입력된 데이터를 순차적으로 메모리 소자 간에 시프트 시키면서 일정한 분량의 데이터를 저장하는 논리 회로이다.

- <8> 이러한 시프트 레지스트는 다양한 분야에서 디지털 데이터를 처리하는 디지털 회로에 많이 이용되고 있다. 특히, 평판 디스플레이 장치로써 각광받는 액정표시장치의 전기적 구동을 위하여 구성되는 타이밍 컨트롤러와 구동 드라이브 집적회로 등에 시프트 레지스트가 구성되고, 이 경우 시프트 레지스트는 동기신호로 제어신호들을 생성하거나 데이터를 일정 시간 지연시키는 등의 용도로 이용된다.
- <9> 종래의 시프트 레지스트는 클럭에 동기되어서 클럭의 라이징 시점에 전체 레지스터에 저장된 데이터가 일정한 방향으로 동시에 이동되며, 데이터는 선입선출의 원칙에 따라서 시프트 레지스트에 대한 입력과 출력이 결정된다.
- <10> 구체적으로, 4비트의 데이터를 처리하는 시프트 레지스트의 경우 데이터 D0, D1, D2, D3이 최초에 입력한 것부터 순차적으로 각 메모리 소자 별로 시프트되면서 일방향으로 이동되며, 이들의 데이터 시프트는 클럭에 동기된다. 그리고, 출력은 D0, D1, D2, D3와 같이 입력 순서대로 출력된다.
- <11> 이러한 동작에 있어서 시프트 레지스트는 클럭에 동기되어서 동시에 각 메모리 소자가 동작되므로 순간적으로 많은 양의 전류가 시프트 레지스트를 구동시키는 논리 회로에 공급되어야 했다. 그러므로 순간적인 전력 소모가 심하고 그에 따른 전자파가 발생되어서 장애 요인으로 작용되는 문제점이 있었다.
- <12> 이러한 현상은 시프트 레지스트에 저장된 데이터의 상태 변화가 심한 경우에

특히 심각하게 발생되며, 구체적으로 메모리 소자가 클럭 신호에 동기된 시프트 동작 수행을 위하여 논리적으로 '0' 또는 '1'인 상태가 변화될 때 전력 소모가 많이 발생되며, 이러한 저장된 상태가 변화되어야 하는 레지스트가 많을 수록 상술한 전력 소모와 그에 따른 전자파 장애 문제점이 심각해진다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명은 목적은 시프트 레지스트에 일렬로 구성되는 각 메모리 소자의 동작 시점을 다르게 조절하여 시프트 레지스트 동작시 발생하는 순간적인 전력 변화와 그에 따른 전자파 장애를 줄임에 있다.

<14> 본 발명의 다른 목적은 소정 비트 수의 데이터를 처리하기 위하여 매트릭스 형상으로 구성되는 시프트 레지스트에 인가되는 데이터의 천이 상태를 미리 체크하여, 시프트 레지스트의 동작 경우를 줄임으로써 많은 수의 레지스트가 동작되어 발생하는 전력 소모와 전자파 장애를 줄임에 있다.

<15> 본 발명의 또다른 목적은 평판 디스플레이 장치에 구동을 위하여 실장되는 부품에 구성되는 시프트 레지스트를 개선하여 많은 수의 레지스트가 동시에 동작되는 것을 줄임으로써 그에 따른 전력 소모와 전자파 장애 문제를 줄임에 있다.

【발명의 구성 및 작용】

<16> 본 발명에 따른 시프트 레지스트는, m 행 n 열의 매트릭스 형태로 구성되고, 데이터를 클럭신호에 동기하여 시프트 시키는 메모리 소자들, 상기 메모리 소자들에 인가되는 상기 클럭신호를 데이터가 출력되는 m 행의 메모리 소자에서부터 점차적으로 지연시켜서 상기 데이터가 입력되는 쪽 행들로 순차적으로 지연시켜서 인가하는 클럭신호 지연 수단

및 상기 데이터는 입력되는 메모리 소자에 적용되는 클럭신호의 지연시간과 동일하게 지연시켜서 출력하는 데이터 지연 수단을 구비하여 이루어진다.

<17> 여기에서 $m-1$ 행, $m-2$ 행 ... 1 행의 메모리 소자들에 상기 클럭신호를 지연하는 지연부가 일대일로 구성되고, 상기 지연부는 $m-1$ 행, $m-2$ 행 ... 1행의 순으로 지연시간을 점점 크게하여 상기 클럭신호를 출력함이 바람직하다.

<18> 그리고, 본 발명에 따른 시프트 레지스트는 m 행 n 열의 매트릭스 형태로 구성되고, 데이터를 클럭신호에 동기하여 시프트 시키는 메모리 소자들, n 비트의 데이터가 입력되면 제 1 스위칭 제어신호에 의하여 선택적으로 인버팅하여 상기 메모리 소자들을 이루는 제 1 행의 각 열 별 메모리소자에 입력하는 제 1 스위칭 수단, 상기 메모리 소자들에서 시프트되어 제 m 행의 각 열별로 출력되는 n 비트의 데이터를 제 2 스위칭 제어신호에 의하여 선택적으로 인버팅하여 출력하는 제 2 스위칭 수단, 상기 제 1 스위칭 수단에 입력되는 n 비트의 데이터와 상기 메모리 소자들에 포함된 제 1 행의 출력 데이터로써 상기 제 1 행에 포함된 일정 수 이상의 메모리소자의 데이터 저장 상태 변환이 발생되면 그에 따른 제 1 스위칭 제어신호를 상기 제 1 스위칭 수단으로 출력하면서 플래그 신호를 출력하는 천이비교부, m 개의 메모리 소자가 일렬로 구성되어서 상기 천이비교부에서 출력되는 플래그 신호를 상기 메모리소자들의 시프트와 동일하게 동기되어 시프트시킨 후 상기 제 2 스위칭 수단에 제 2 스위칭 제어신호로 출력하는 천이 비교 시프트 레지스트를 구비하여 이루어진다.

<19> 또한, 본 발명에 따른 액정표시장치의 구동 회로는 소정 화상공급원으로부터 입력되는 전원과 화상신호로써 데이터와, 게조전압, 게이트 전압, 및 컬럼/스캔 제어신호를 생성하여 액정패널을 구동하는 각 부가 구비되고, 상기 데이터를 처리하는 각부에 시프

트 레지스트가 적용된다.

<20> 그리고, 시프트 레지스트는 상술한 시프트 레지스트들 중 어느 하나가 구성될 수 있으며, 시프트 레지스트는 컨트롤러, 컬럼 또는 스캔 드라이브 집적회로들 중 어느 하나 이상에 구성될 수 있다.

<21> 이하, 본 발명에 따른 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

<22> 도 1을 참조하면, 본 발명에 따른 시프트 레지스트가 채용되는 액정표시장치의 구동 회로를 나타내는 블록도이다.

<23> 도 1의 액정표시장치의 구동 회로에는 컨트롤러(10)와 컬럼 드라이브 집적회로들(20) 및 스캔 드라이브 집적회로들(18)에 각각 시프트 레지스트가 채용된다.

<24> 먼저, 액정표시장치의 구동 회로의 구성을 살펴보면 다음과 같다.

<25> 복수의 비트 수를 갖는 컬러 데이터와 컨트롤 신호는 컴퓨터 본체 또는 화상 전송 장치와 같은 소정 화상 공급원으로부터 전송되어서 컨트롤러(10)에 입력되고, 직류 전원은 전원 공급부(12)로 제공된다.

<26> 전원 공급부(12)는 컨트롤러(10)와 게조 발생부(14) 및 게이트 전압 발생부(16)의 동작에 필요한 정전압들을 공급하도록 구성되며, 게이트 전압 발생부(16)는 스캔 드라이브 집적회로들(18)에 턴온/턴오프 전압 발생을 위한 전압들을 공급하도록 구성되고, 게조 발생부(14)는 컬럼 드라이브 집적회로들(20)에 게조 전압들을 공급하도록 구성된다.

<27> 그리고, 컨트롤러(10)는 내부에 로직으로 설계된 시프트 레지스트를 이용하여 컨트롤 신호들을 생성하며, 데이터를 지연시키면서 타이밍 포맷을 결정한다. 그에 따른 결과

컨트롤러(10)에서 출력되는 컬럼 컨트롤 신호들과 데이터가 컬럼 드라이브 집적회로들(20)에 분배되어서 출력되며, 스캔 컨트롤 신호들이 스캔 드라이브 집적회로들(18)에 분배되어서 출력된다.

<28> 그리고 컬럼 드라이브 집적회로들(20)은 데이터, 컬럼 컨트롤 신호들 및 게조 전압들으로써 컬럼 신호를 생성하여 액정 패널(22)로 인가하고, 스캔 드라이브 집적회로들(18)은 스캔 컨트롤 신호와 게이트 전압 발생부(16)에서 인가되는 전압들으로써 스캔 신호를 생성하여 액정 패널(22)로 인가한다. 그러면 액정 패널(22)은 광학적 셔터 작용을 수행하면서 화상을 형성한다.

<29> 상술한 바와 같은 구성에서 컨트롤러(10)와 컬럼 드라이브 집적회로들(20) 및 스캔 드라이브 집적회로들(18)에는 시프트 레지스트가 내부에 포함되어 구성되며, 이에 적용되는 시프트 레지스트 구성의 일예는 도 2와 같다.

<30> 도 2의 실시예는 시리얼로 입력되는 4 비트 분량의 데이터를 저장하기 위한 것으로, 메모리 소자으로써 D플립플롭이 구성된다.

<31> 구체적으로, D플립플롭들 M0, M1, M2, M3이 일렬로 연결되어서 데이터가 순서대로 전달되도록 구성되며, D플립플롭 M0의 입력단에는 지연부(30)가 구성되고, 각 D플립플롭들 M0, M1, M2의 클럭신호 입력단 CLK1, CLK2, CLK3에는 서로 다른 지연시간을 갖는 지연부들(32, 34, 36)들이 각각 연결된다.

<32> 여기에서 지연부(36)는 't'의 지연 시간이 설정되고, 지연부(34)는 2t의 지연 시간이 설정되고, 지연부들(30, 32)은 3t의 지연 시간이 설정된다.

<33> 그에 따라서 클럭 신호는 D플립플롭 M3에는 시간 지연없이 클럭신호 입력단 CLK4에

인가되고, D플립플롭 M2에는 't' 시간동안 지연된 후 클럭신호 입력단 CLK3에 인가되며, D플립플롭 M1에는 '2t' 시간동안 지연된 후 클럭신호 입력단 CLK2에 인가되고, D플립플롭 M0에는 '3t' 시간동안 지연된 후 클럭신호 입력단 CLK1에 인가된다. 그리고, 데이터는 지연부(30)에 의하여 '3t' 시간동안 지연된 후 D플립플롭 M0의 입력단에 인가된다.

<34> 그러므로, 클럭신호에 D플립플롭 M3가 가장 먼저 클럭신호에 동기되어서 데이터를 출력하고, 그 후 D플립플롭 M2가 't' 시간만큼 지연되어 동기되어 출력하는 데이터가 D플립플롭 M3에 저장된다.

<35> 그리고, 't' 시간만큼 지연되어 동작되는 D플립플롭 M2은 데이터가 출력된 후 't' 시간만큼 후에 동기되어 출력되는 D플립플롭 M1의 데이터를 저장하고, '2t' 시간만큼 지연되어 동작되는 D플립플롭 M1은 데이터가 출력된 후 't' 시간만큼 후에 동기되어 출력되는 D플립플롭 M0의 데이터를 저장한다. 마지막으로 D플립플롭 M0는 지연부(30)에서 3t 시간만큼 지연되어 출력되는 클럭신호로써 지연부(30)를 거쳐서 '3t' 시간 지연되어 인가되는 한 비트의 데이터를 저장한다.

<36> 이와 같이 출력쪽 D플립플롭부터 동작이 이루어지도록 설정된 것은 D플립플롭의 데이터를 먼저 안정적으로 출력한 후 시프트되어 입력되는 데이터를 안전하게 저장하기 위함이다.

<37> 상술한 바와 같이 각 D플립플롭들에 대한 클럭 신호는 도 3에서와 같이 D플립플롭 M3에 인가되는 클럭신호를 기준으로 't', '2t', '3t' 시간씩 지연되어서 D플립플롭 M2, M1, M0에 인가되고, D플립플롭 M0에 인가되는 데이터는 클럭신호의 인가 시점과 맞추기 위하여 '3t' 시간을 지연된다.

- <38> 그에 따라서 메모리 소자인 각 D플립플롭들은 서로 시차를 두고 동작되며, 동작에 필요한 전원을 요구하는 시점이 서로 상이하므로 시프트 레지스트를 구성하는 메모리 소자들이 동시에 동작되어서 많은 양의 전류 공급을 요구하는 것이 발생되지 않는다.
- <39> 그러므로, 순간적인 전력 소모량이 줄어들고 순간적으로 많은 전류의 공급에 따라 발생하는 전자파 장애 현상을 줄일수 있다.
- <40> 상술한 도 2 및 도 3에 적용된 지연부를 이용한 시프트 레지스트의 구조는 $m \times n$ 구조에도 적용될 수 있다.
- <41> 그리고, 이와 다르게 $m \times n$ 매트릭스 구조의 시프트 레지스트는 도 4 및 도 5와 같이 시프트되는 데이터의 상태를 체크하여 천이 경우를 최소화시킴으로써 순간적인 전력 소모량을 줄이면서 전자파 장애 현상을 줄일수 있다.
- <42> $m \times n$ 구조의 일예로써 4×4 구조의 시프트 레지스트가 도 4에 도시되고, 시프트 레지스트를 이루는 메모리 소자로써 D플립플롭 M00, M01 ~ M15가 매트릭스 형상으로 구성된다.
- <43> 매트릭스의 제 1 열은 D플립플롭 M00, M01, M02, M03로 이루어지고, 제 2 열은 D플립플롭 M04, M05, M06, M07로 이루어지며, 제 3 열은 D플립플롭 M08, M09, M10, M11로 이루어지고, 제 4 열은 D플립플롭 M12, M13, M14, M15로 이루어진다.
- <44> 그리고, 제 1 행을 이루는 D플립플롭 M00, M04, M08, M12의 입력단에는 스위칭 로직들(40, 42, 44, 46)들이 각각 구성되며, 스위칭 로직들(40, 42, 44, 46)은 입력되는 데이터 D00, D10, D20, D30를 포지티브와 네가티브로 구분하여 제 1 스위칭 제어신호에 의하여 선택적으로 해당 D플립플롭으로 출력한다.

- <45> 그리고, 제 4 행을 이루는 D플립플롭 M03, M07, M11, M15의 출력단에는 스위칭 로직들(50, 52, 54, 56)들이 각각 구성되며, 스위칭 로직들(50, 52, 54, 56)은 D플립플롭 M03, M07, M11, M15로부터 출력되는 데이터를 포지티브와 네가티브로 구분하여 제 2 스위칭 제어신호에 의하여 선택적으로 출력 데이터 D01, D11, D21, D31로 출력한다.
- <46> 그리고, 데이터 D00, D10, D20, D30가 분주된 데이터 즉 데이터 D02, D12, D22, D32와 제 1 행을 이루는 각 D플립플롭 M00, M04, M08, M12의 출력 D03, D13, D23, D33이 천이비교부(60)로 입력되도록 구성되고, 천이비교부(60)는 입력된 데이터를 도 5와 같이 구성되는 로직 프로세스로 얻은 결과를 제 1 스위칭 제어신호로써 각 스위칭 로직들(40, 42, 44, 46)로 인가하며 이와 동시에 플래그 신호로써 D플립플롭 MF0의 입력단에 입력하도록 구성된다.
- <47> 그리고, 플래그 신호의 시프트를 위하여 매트릭스의 열과 동일한 수의 D플립플롭 MF0, MF1, MF2, MF3이 하나의 열로 구성되고, 이들 D플립플롭 MF0, MF1, MF2, MF3은 천이 비교 시프트 레지스트이다. 플래그 신호가 이들 D플립플롭 MF0, MF1, MF2, MF3을 거쳐서 시프트된 후 스위칭 로직들(50, 52, 54, 56)의 제 2 스위칭 제어신호로 입력되도록 구성된다.
- <48> 그리고, 각 D플립플롭 M00, M01 ~ M15, MF0, MF1, MF2, MF3에는 동작을 위한 클럭 신호 CLK가 인가되도록 구성된다.
- <49> 상술한 바에서 천이 비교부(60)는 도 5와 같이 익스클루시브 오아 게이트들(70, 72, 74, 76)과 논리조합부(80)로 구성될 수 있다.
- <50> 구체적으로 익스클루시브 오아게이트(70)는 데이터 D02, D03의 배타적 논리합 S0을

구하고, 익스클루시브 오아게이트(72)는 데이터 D12, D13의 배타적 논리합 S1을 구하며, 익스클루시브 오아게이트(74)는 데이터 D22, D23의 배타적 논리합 S2를 구하고, 익스클루시브 오아게이트(76)는 데이터 D32, D33의 배타적 논리합 S3을 구한다.

<51> 논리 조합부(80)는 네 개의 앤드 게이트(82, 84, 86, 88)와 이들 출력을 논리합하기 위한 오아 게이트(90)구성되며, 앤드 게이트(82)는 배타적 논리합 S0, S1, S2의 곱을 구하고, 앤드 게이트(84)는 배타적 논리합 S0, S1, S3의 곱을 구하며, 앤드 게이트(86)는 배타적 논리합 S0, S2, S3의 곱을 구하고, 앤드 게이트(88)는 배타적 논리합 S1, S2, S3의 곱을 구한다.

<52> 그리고, 각 앤드 게이트(82, 84, 86, 88)의 출력은 오아 게이트(90)에서 논리합된 후 제 1 스위치 제어신호와 플래그 신호로써 각 스위칭 로직(40, 42, 44, 46)과 D플립플롭 MF0로 각각 입력된다.

<53> 상술한 바에서 제 1 행의 D플립플롭 M00, M04, M08, M12에 데이터가 '0000'로 각각 저장되고, 입력될 데이터 D00, D10, D20, D30이 '1111'이라 가정한다.

<54> 그러면 클럭신호 CLK가 입력되면 제 1 행의 D플립플롭 M00, M04, M08, M12는 저장된 데이터 '0000'를 제 2 행의 D플립플롭 M01, M05, M09, M13으로 시프트 시키고 새로운 데이터 '1111'을 저장하여야 한다. 그러나, 이 경우 제 1 행의 D플립플롭 M00, M04, M08, M12는 논리적으로 '0' 상태에서 '1' 상태로 변화를 위한 전류의 공급을 모두 요구하게 되고, 매트릭스를 이루는 D플립플롭들 전체적으로 이와 같은 데이터 변환이 이루어지면 상당한 양의 순간적인 전력 공급이 요구된다.

<55> 그러나, 본 발명에 따른 실시예에 의하여 제 1 행에 입력될 데이터가 분주된 데이

터 D02, D12, D22, D32와 제 1 행을 이루는 D플립플롭들로부터 출력되는 데이터 D03, D13, D23, D33들이 천이비교부(60)에서 비교되어서 많은 양의 전력 공급이 요구되는 데이터 변환이 제 1 행에서 발생하는 것을 억제한다.

<56> 즉, 익스클루시브 오아게이트(70)는 D플립플롭 M00에서 출력되는 데이터와 입력되는 데이터를 비교하여 동일하면 논리적으로 '0'를 출력하고 다르면 논리적으로 '1'을 출력한다. 다른 익스클루시브 오아게이트들(72, 74, 76)도 D플립플롭 M04, M08, M12에서 출력되는 데이터와 입력되는 데이터를 비교하여 그에 따른 논리적 결과인 '0' 또는 '1'을 출력한다.

<57> 【표 1】

S0	S1	S2	S3	앤드게이트(82)	앤드게이트(84)	앤드게이트(86)	앤드게이트(88)	오아게이트(90)
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0
0	0	1	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0
0	1	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0
0	1	1	0	0	0	0	0	0
0	1	1	1	0	0	0	1	1
1	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0
1	0	1	0	0	0	0	0	0
1	0	1	1	0	0	1	0	1
1	1	0	0	0	0	0	0	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	0	0	0	1
1	1	1	1	1	1	1	1	1

<58> 결국, 각 익스클루시브 오아게이트(70, 72, 74, 76)는 상술한 <표 1>의 S0, S1, S2, S3과 같은 출력을 가지며, 그에 따른 앤드게이트(82, 84, 86, 88)도 <표 1>에 따른

출력을 갖는다. 즉, 제 1 열의 D플립플롭들 D00, D04, D08, D12에 입력되는 데이터와 출력되는 데이터를 비교하여 셋 이상 상태의 변화가 발생되면 앤드게이트(82, 84, 86, 88)는 논리적 '1'을 출력하고, 그에 따라서 오아게이트(90)는 제 1 스위칭 제어신호와 플래그 신호를 논리적 '1'로 출력한다.

<59> 스위칭 로직(40, 42, 44, 46)은 천이비교부(60)로부터 제 1 스위칭 제어신호가 논리적 '1'이 제공되면, 입력되는 데이터의 상태를 인버팅하여 D플립플롭 M00, M04, M08, M12에 입력한다. 그리고, 해당 열에 대한 데이터가 변환되었음을 인식하기 위한 플래그 신호가 천이 비교 시프트 레지스트를 이루는 D플립플롭 MF0에 입력된다. MF0에 저장되는 플래그 신호는 제 1 열의 D플립플롭들 D00, D04, D08, D12에 저장되는 데이터들과 같이 클럭 CLK에 동기되어 시프트된다.

<60> 따라서, 열 별로 셋 이상의 D플립플롭들에서 데이터 상태 변화가 예측되면, 입력되는 데이터를 변환시켜서 해당 D플립플롭들에 저장시키고, 그에 대한 플래그를 저장한다. 그러므로, 플립플롭들의 데이터 변환이 최소한으로 발생되고, 그에 따른 순간적인 전력 공급량도 줄어서 전자파 장애 현상이 발생하는 것이 억제될 수 있다.

<61> 한편, 상술한 바와 같이 저장된 데이터와 플래그가 시프트되면 마지막 열의 D플립플롭 M03, M07, M11, M15에서 데이터가 출력되고, 플래그 신호는 천이 비교 시프트 레지스트의 마지막 D플립플롭 MF3에서 출력된다.

<62> D플립플롭 MF3에서 출력된 플래그 신호는 제 2 스위칭 제어신호로써 각 스위칭 로직(50, 52, 54, 56)에 입력된다.

<63> 따라서, 스위칭 로직들(50, 52, 54, 56)은 제 2 스위칭 제어신호인 플래그 신호가

논리적 '1'로 인가되면 시프트 레지스트의 마지막 열을 이루는 D플립플롭 M03, M07, M11, M15에서 출력되는 데이터를 인버팅하여 데이터 D01, D11, D21, D31로 출력한다.

<64> 결국, 전술한 경우와 같이 제 1 행의 D플립플롭 M00, M04, M08, M12에 데이터가 '0000'으로 저장된 상태에서 데이터 D00, D10, D20, D30이 '1111'로 입력되면, 스위칭 로직들(40, 42, 44, 46)은 이들 데이터 D00, D10, D20, D30의 상태를 인버팅하여 '0000'의 상태로 각 D플립플롭 M00, M04, M08, M12에 입력한다. 이때 스위칭 로직들(40, 42, 44, 46)에 인가되는 제 1 스위칭 제어신호와 더불어 발생된 플래그 신호는 천이 비교 시프트 레지스트의 D플립플롭 MF0에 저장된다.

<65> 이들 데이터와 플래그 신호는 클럭신호에 동기되어 점차 시프트된 후 마지막 행의 D플립플롭 M03, M07, M11, M15에서 출력되어서 스위칭 로직(50, 52, 54, 56)에 입력되면, 천이 비교 시프트 레지스트의 D플립플롭 MF3에서 출력되는 제 2 스위칭 제어 신호에 의하여 '0000'의 데이터가 원래 상태대로 '1111'로 인버팅된다.

<66> 상술한 시프트 레지스트가 도 1 과 같이 구성되는 액정표시장치의 컨트롤러와 컬럼 드라이브 집적회로들 및 스캔 드라이브 집적회로들에 적용될 수 있으며, 그에 따라서 지연 또는 입력 데이터와 시프트되는 데이터를 체크하여 예측하는 방법에 의하여 컨트롤러, 컬럼 드라이브 집적회로들 또는 스캔 드라이브 집적회로들 내부에 구성되는 시프트 레지스트에 순간적으로 많은 양의 전력이 공급되는 현상이 방지될 수 있다. 그러므로 그에 따른 전자파 장애 현상이 방지될 수 있다.

【발명의 효과】

<67> 본 발명에 의하면, 시프트 레지스트가 메모리 소자 별로 순차적으로 지연되어 동작

되거나 또는 데이터 변환이 최소화되어 동작될 수 있어서 전력의 순간적인 과다 공급이 방지되고, 상술한 시프트 레지스트를 액정표시장치의 부품에 채용하면 전자파 장애 현상이 방지될 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

m행 n열의 매트릭스 형태로 구성되고, 데이터를 클럭신호에 동기하여 시프트 시키는 메모리 소자들;

상기 메모리 소자들에 인가되는 상기 클럭신호를 데이터가 출력되는 m행의 메모리 소자에서부터 점차적으로 지연시켜서 상기 데이터가 입력되는 쪽 행들로 순차적으로 지연시켜서 인가하는 클럭신호 지연 수단; 및

상기 데이터는 입력되는 메모리 소자에 적용되는 클럭신호의 지연시간과 동일하게 지연시켜서 출력하는 데이터 지연 수단을 구비함을 특징으로 하는 시프트 레지스트.

【청구항 2】

제 1 항에 있어서, 상기 클럭신호 지연 수단은,

m-1행, m-2행 ... 1 행의 메모리 소자들에 상기 클럭신호를 지연하는 지연부가 일대일로 구성되고, 상기 지연부는 m-1행, m-2행 ... 1행의 순으로 지연시간을 점점 크게하여 상기 클럭신호를 출력함을 특징으로 하는 시프트 레지스트.

【청구항 3】

제 2 항에 있어서, 상기 클럭신호 지연 수단의 각 지연부는 상기 지연시간을 't', '2t' ... 'm-1t'의 비례 관계로 점점 크게하여 출력하도록 설정됨을 특징으로 하는 시프트 레지스트.

【청구항 4】

m행 x열의 매트릭스 형태로 구성되고, 데이터를 클럭신호에 동기하여 시프트 시키는 메모리 소자들;

n 비트의 데이터가 입력되면 제 1 스위칭 제어신호에 의하여 선택적으로 인버팅하여 상기 메모리 소자들을 이루는 제 1 행의 각 열 별 메모리소자에 입력하는 제 1 스위칭 수단;

상기 메모리 소자들에서 시프트되어 제 m 행의 각 열별로 출력되는 n비트의 데이터를 제 2 스위칭 제어신호에 의하여 선택적으로 인버팅하여 출력하는 제 2 스위칭 수단;

상기 제 1 스위칭 수단에 입력되는 n비트의 데이터와 상기 메모리 소자들에 포함된 제 1 행의 출력 데이터로써 상기 제 1 행에 포함된 일정 수 이상의 메모리소자의 데이터 저장 상태 변환이 발생되면 그에 따른 제 1 스위칭 제어신호를 상기 제 1 스위칭 수단으로 출력하면서 플래그 신호를 출력하는 천이비교부;

m개의 메모리 소자가 일렬로 구성되어서 상기 천이비교부에서 출력되는 플래그 신호를 상기 메모리소자들의 시프트와 동일하게 동기되어 시프트시킨 후 상기 제 2 스위칭 수단에 제 2 스위칭 제어신호로 출력하는 천이 비교 시프트 레지스트를 구비함을 특징으로 하는 시프트 레지스트.

【청구항 5】

제 4 항에 있어서,

상기 제 1 스위칭 수단과 상기 제 2 스위칭 수단은 상기 메모리 소자들의 각 열에 일대일로 대응되는 스위칭 로직이 구성되고, 상기 스위칭 로직은 입력되는 데이터와 그

에 대한 인버팅된 데이터를 상기 제 1 스위칭 제어신호와 상기 제 2 스위칭 제어신호의 상태에 따라서 선택적으로 출력하도록 구성됨을 특징으로 하는 시프트 레지스트.

【청구항 6】

제 4 항에 있어서, 상기 천이비교부는,

상기 제 1 스위칭 수단에 입력되는 n비트의 데이터와 상기 메모리 소자들에 포함된 제 1 행의 출력 데이터를 각 열 별 데이터를 익스클루시브 오아 조합하여 출력하는 익스클루시브 오아 게이트들;

상기 익스클루시브 오아 게이트들의 출력을 논리 조합하여 상기 메모리 소자들에 포함된 제 1 행의 출력 데이터와 입력 데이터가 서로 다른 쌍이 소정 수 이상이면 논리적 하이 레벨의 출력을 상기 제 1 스위칭 제어신호와 상기 천이 비교 시프트 레지스트에 인가되는 플래그 신호로 출력하는 논리 조합부를 구비함을 특징으로 하는 시프트 레지스트.

【청구항 7】

제 6 항에 있어서,

상기 논리 조합부에서 판단되는 소정 수는 상기 메모리 소자들에 포함된 제 1 행을 이루는 수의 1/2 보다 큰 수임을 특징으로 하는 시프트 레지스트.

【청구항 8】

소정 화상공급원으로부터 입력되는 전원과 화상신호로써 데이터와, 계조전압, 게이트 전압, 및 컬럼/스캔 제어신호를 생성하여 액정패널을 구동하는 액정 표시 장치의 구동 회로에 있어서,

상기 데이터를 처리하는 각부에 시프트 레지스트가 적용되고,

상기 시프트 레지스트는,

m 행 n 열의 매트릭스 형태로 구성되고, 데이터를 클럭신호에 동기하여 시프트 시키는 메모리 소자들;

상기 메모리 소자들에 인가되는 상기 클럭신호를 데이터가 출력되는 m 행의 메모리 소자에서부터 점차적으로 지연시켜서 상기 데이터가 입력되는 쪽 행들로 순차적으로 지연시켜서 인가하는 클럭신호 지연 수단; 및

상기 데이터는 입력되는 메모리 소자에 적용되는 클럭신호의 지연시간과 동일하게 지연시켜서 출력하는 데이터 지연 수단을 구비함을 특징으로 하는 액정표시장치의 구동 회로.

【청구항 9】

제 8 항에 있어서, 상기 클럭신호 지연 수단은,

$m-1$ 행, $m-2$ 행 \dots 1 행의 메모리 소자들에 상기 클럭신호를 지연하는 지연부가 일대일로 구성되고, 상기 지연부는 $m-1$ 행, $m-2$ 행 \dots 1행의 순으로 지연시간을 점점 크게하여 상기 클럭신호를 출력함을 특징으로 하는 시프트 레지스트.

【청구항 10】

제 9 항에 있어서, 상기 클럭신호 지연 수단의 각 지연부는 상기 지연시간을 ' t ', ' $2t$ ' \dots ' $m-1t$ '의 비례 관계로 점점 크게하여 출력하도록 설정됨을 특징으로 하는 시프트 레지스트.

【청구항 11】

제 8 항에 있어서,

상기 시프트 레지스트는 컨트롤러에 구성됨을 특징으로 하는 액정표시장치의 구동 회로.

【청구항 12】

제 8 항에 있어서,

상기 시프트 레지스트는 컬럼 드라이브 집적회로들에 구성됨을 특징으로 하는 액정 표시장치의 구동 회로.

【청구항 13】

제 8 항에 있어서,

상기 시프트 레지스트는 스캔 드라이브 집적회로들에 구성됨을 특징으로 하는 액정 표시장치의 구동 회로.

【청구항 14】

소정 화상공급원으로부터 입력되는 전원과 화상신호로써 데이터와, 계조전압, 게이트 전압, 및 컬럼/스캔 제어신호를 생성하여 액정패널을 구동하는 액정 표시 장치의 구동 회로에 있어서,

상기 데이터를 처리하는 각부에 시프트 레지스트가 적용되고,

m행 x 열의 매트릭스 형태로 구성되고, 데이터를 클럭신호에 동기하여 시프트 시키는 메모리 소자들;

n 비트의 데이터가 입력되면 제 1 스위칭 제어신호에 의하여 선택적으로 인버팅하

여 상기 메모리 소자들을 이루는 제 1 행의 각 열 별 메모리소자에 입력하는 제 1 스위칭 수단;

상기 메모리 소자들에서 시프트되어 제 m 행의 각 열별로 출력되는 n비트의 데이터를 제 2 스위칭 제어신호에 의하여 선택적으로 인버팅하여 출력하는 제 2 스위칭 수단;

상기 제 1 스위칭 수단에 입력되는 n비트의 데이터와 상기 메모리 소자들에 포함된 제 1 행의 출력 데이터로써 상기 제 1 행에 포함된 일정 수 이상의 메모리소자의 데이터 저장 상태 변환이 발생되면 그에 따른 제 1 스위칭 제어신호를 상기 제 1 스위칭 수단으로 출력하면서 플래그 신호를 출력하는 천이비교부;

m개의 메모리 소자가 일렬로 구성되어서 상기 천이비교부에서 출력되는 플래그 신호를 상기 메모리소자들의 시프트와 동일하게 동기되어 시프트시킨 후 상기 제 2 스위칭 수단에 제 2 스위칭 제어신호로 출력하는 천이 비교 시프트 레지스트를 구비함을 특징으로 하는 시프트 레지스트.

【청구항 15】

제 14 항에 있어서,

상기 제 1 스위칭 수단과 상기 제 2 스위칭 수단은 상기 메모리 소자들의 각 열에 일대일로 대응되는 스위칭 로직이 구성되고, 상기 스위칭 로직은 입력되는 데이터와 그에 대한 인버팅된 데이터를 상기 제 1 스위칭 제어신호와 상기 제 2 스위칭 제어신호의 상태에 따라서 선택적으로 출력하도록 구성됨을 특징으로 하는 시프트 레지스트.

【청구항 16】

제 14 항에 있어서, 상기 천이비교부는,

상기 제 1 스위칭 수단에 입력되는 n비트의 데이터와 상기 메모리 소자들에 포함된 제 1 행의 출력 데이터를 각 열 별 데이터를 익스클루시브 오아 조합하여 출력하는 익스클루시브 오아 게이트들;

상기 익스클루시브 오아 게이트들의 출력을 논리 조합하여 상기 메모리 소자들에 포함된 제 1 행의 출력 데이터와 입력 데이터가 서로 다른 쌍이 소정 수 이상이면 논리적 하이 레벨의 출력을 상기 제 1 스위칭 제어신호와 상기 천이 비교 시프트 레지스트에 인가되는 플래그 신호로 출력하는 논리 조합부를 구비함을 특징으로 하는 시프트 레지스트.

【청구항 17】

제 16 항에 있어서,

상기 논리 조합부에서 판단되는 소정 수는 상기 메모리 소자들에 포함된 제 1 행을 이루는 수의 1/2 보다 큰 수임을 특징으로 하는 시프트 레지스트.

【청구항 18】

제 14 항에 있어서,

상기 시프트 레지스트는 컨트롤러에 구성됨을 특징으로 하는 액정표시장치의 구동 회로.

【청구항 19】

제 14 항에 있어서,

상기 시프트 레지스트는 컬럼 드라이브 집적회로들에 구성됨을 특징으로 하는 액정표시장치의 구동 회로.

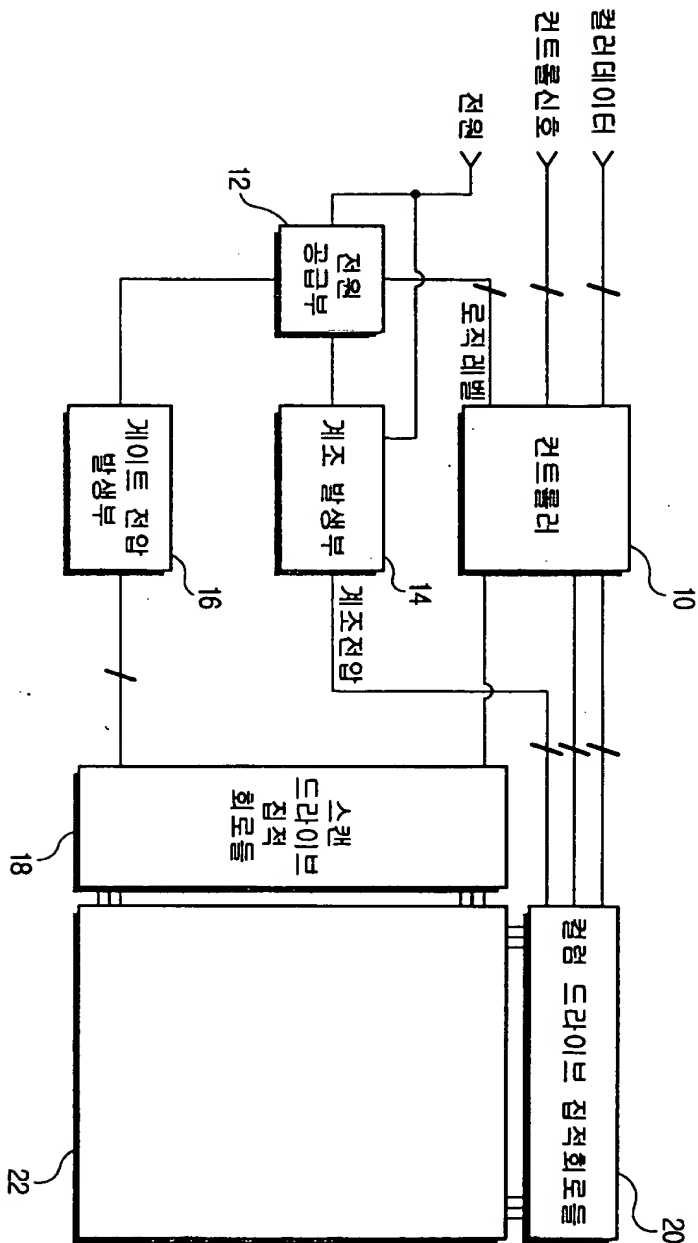
●
【청구항 20】

제 14 항에 있어서,

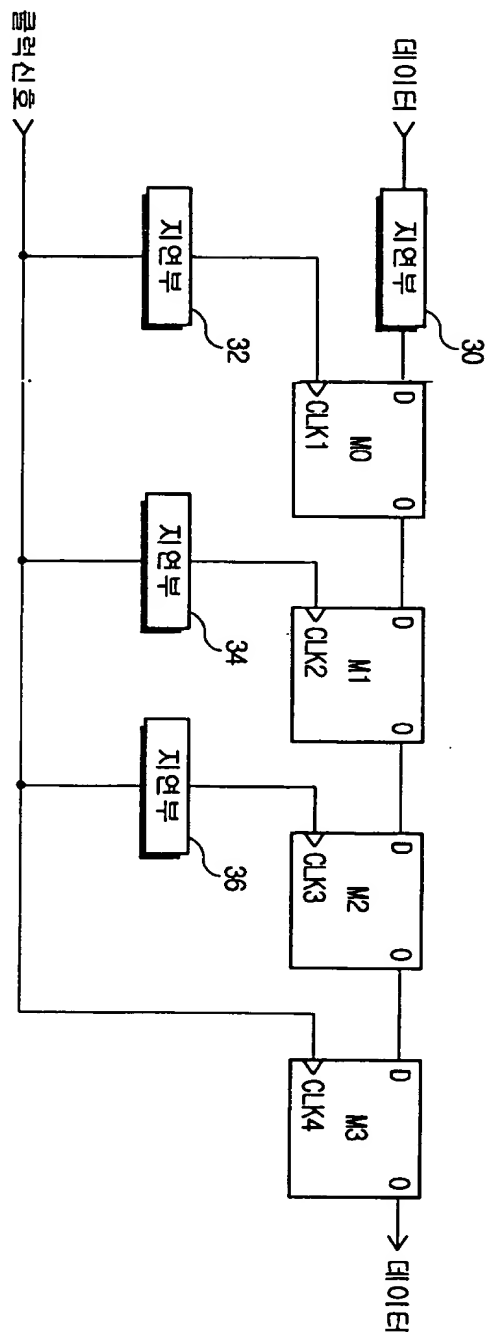
상기 시프트 레지스트는 스캔 드라이브 집적회로들에 구성됨을 특징으로 하는 액정 표시장치의 구동 회로.

【도면】

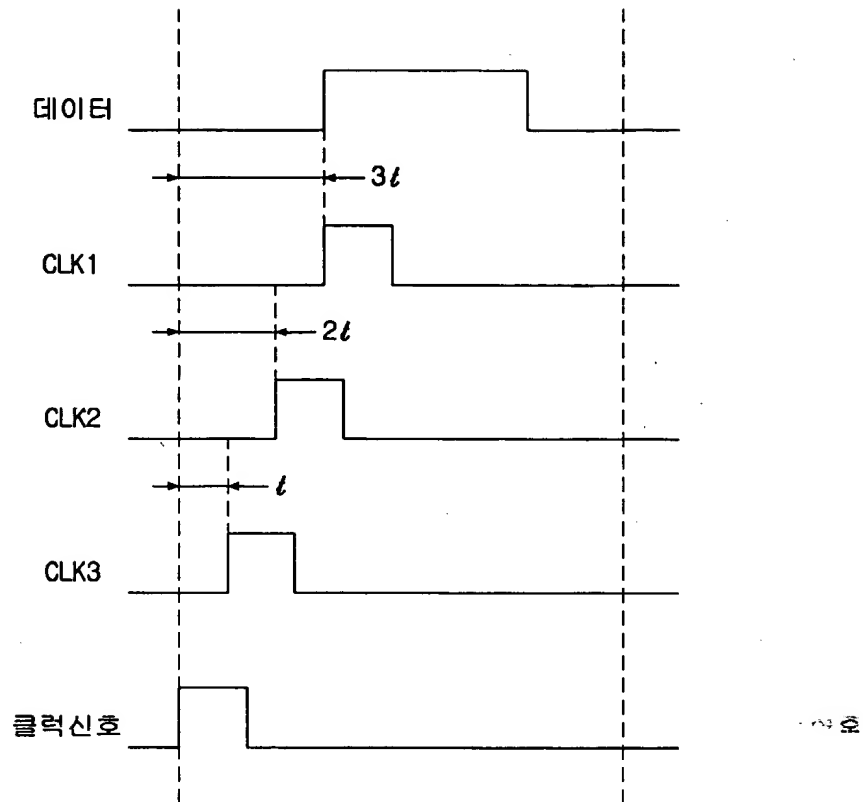
【도 1】



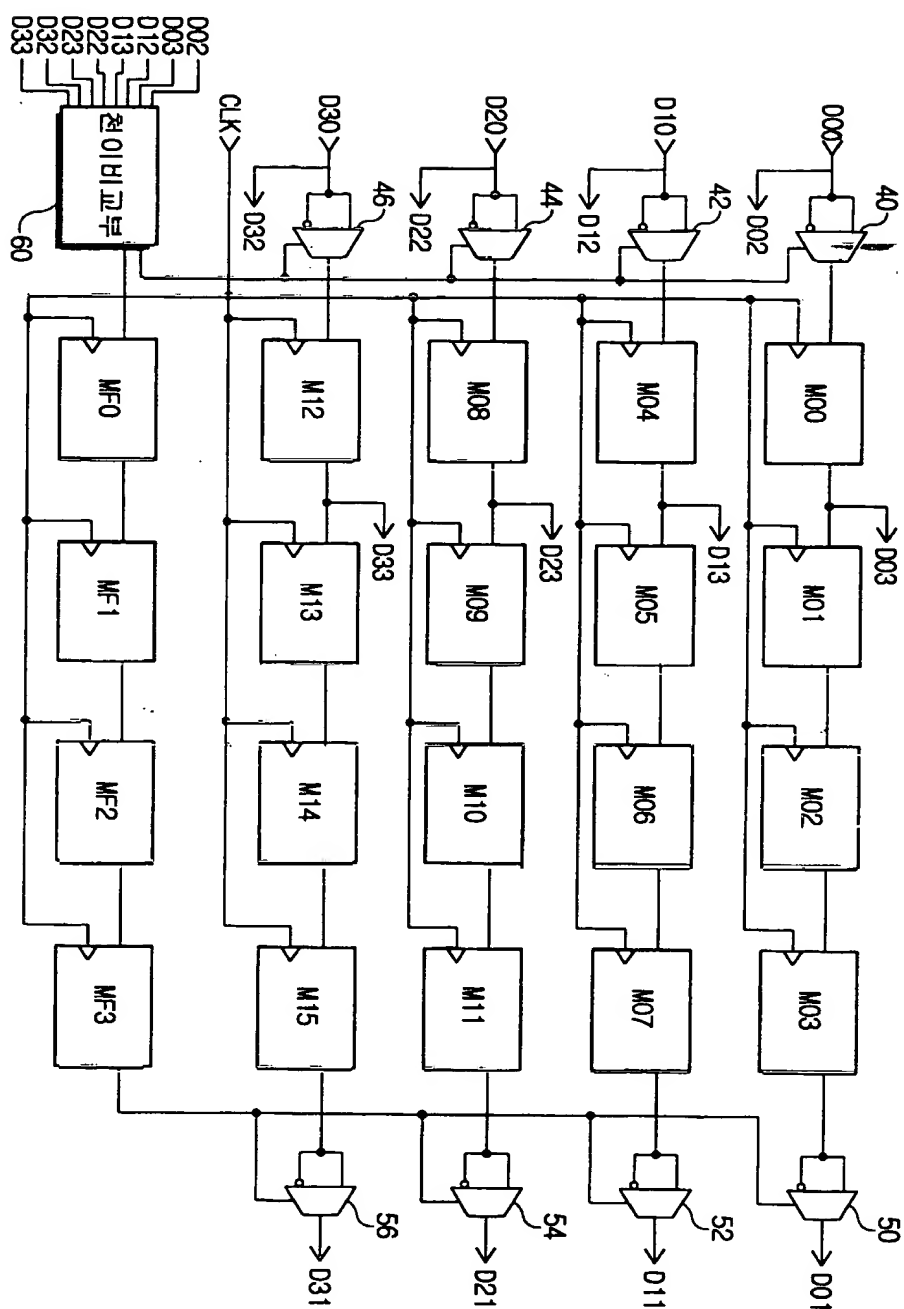
【도 2】



【도 3】



【도 4】



【도 5】

